

⑯ 日本国特許庁 (JP)

⑮ 特許出願公開

⑰ 公開特許公報 (A)

昭62-67800

⑯ Int.Cl.
G 11 C 29/00

識別記号
303

庁内整理番号
B-7737-5B

⑯ 公開 昭和62年(1987)3月27日

審査請求 未請求 発明の数 1 (全5頁)

④ 発明の名称 半導体集積回路装置

⑤ 特願 昭60-206419

⑥ 出願 昭60(1985)9月20日

⑦ 発明者 松原 清 小平市上水本町1450番地 株式会社日立製作所武藏工場内
⑧ 発明者 山浦 忠 小平市上水本町1450番地 株式会社日立製作所武藏工場内
⑨ 出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
⑩ 代理人 弁理士 小川 勝男 外1名

明細書

発明の名称 半導体集積回路装置

特許請求の範囲

1. 外部端子への記憶情報の出力が禁止された内蔵の記憶装置における上記記憶情報と外部端子から供給された入力信号を比較して、その結果の出力させる機能を持つことを特徴とする半導体集積回路装置。

2. 上記半導体集積回路装置はマイクロコンピュータ機能を持つものであり、上記記憶装置はそのプログラム又はデータが格納されるROMであることを特徴とする特許請求の範囲第1項記載の半導体集積回路装置。

発明の詳細な説明

【技術分野】

この発明は、半導体集積回路装置に関するもので例えば、マイクロコンピュータ機能を持つ半導体集積回路装置を利用して有効な技術に関するものである。

【背景技術】

例えば、1チップのマイクロコンピュータにおいては、内蔵のROMに書き込まれたプログラムに従って所定の情報処理を行うものである。この内蔵ROMに書き込まれた記憶情報を外部端子へ出力できるようにすると、そのプログラムの内容が第3者に知られてしまうためソフトウェアの保護の観点からは好ましくない。しかしながら、そのテストにおいては上記記憶内容を外部端子へ読み出す必要がある。

そこで、本願発明者は、上記相反する要求を満すことを考えた。

なお、1チップのマイクロコンピュータに関しては、朝日立製作所昭和58年9月発行「日立マイクロコンピュータデータブック 8ビットシングルチップ」がある。

【発明の目的】

この発明の目的は、内蔵の記憶装置の記憶情報の機密保護とそのテストとの両機能を両立させた半導体集積回路装置を提供することにある。

この発明の前記ならびにその他の目的と新規な

特徴は、この明細書の記述および添付図面から明らかになるであろう。

〔発明の概要〕

本題において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、内蔵の記憶装置の記憶情報の外部端子への出力を禁止せるとともに、その記憶情報を外部端子から供給した入力信号との比較結果を外部端子へ出力するようにするものである。

〔実施例〕

第1図には、この発明に係る1チップマイクロコンピュータの一実施例のブロック図が示されている。同図において、破線で囲まれた部分はしS1であり、全体として1チップマイクロコンピュータを構成しており、公知の半導体集成回路の製造技術によってシリコンのような1個の半導体基板上において形成される。

記号CPUで示されているのは、マイクロプロセッサであり、その主要構成ブロックが代表として例示的に示されている。

成される。

記号RAMで示されているのは、ランダム・アクセス・メモリであり、主として一時データの記憶回路として用いられる。

記号ROMで示されているのは、リード・オンリー・メモリであり、各種情報処理のためのプログラムが書き込まれている。特に制限されないが、この実施例のROMは、マスクROMが用いられる。

以上の各回路ブロックは、マイクロプロセッサCPUを中心としバスBUSによって相互に接続されている。このバスBUSには、データバスとアドレスバスとが含まれるものである。

この実施例のマイクロコンピュータにおいては、機密保護のため上記ROMの記憶情報の外部端子への出力が禁止されている。言い換えるならば、ROMの内容を外部端子へ送出させるような動作機能が設けられていない。このようなROMのテスティングを容易に行うため、次の比較回路CMPが設けられる。

Aはアキュムレータ、Xはインデックスレジスタ、CCはコンディションコードレジスタ、SPはスタッカント、PCH、PClはプログラムカウンタ、CPU-CONTはCPUコントローラ、ALUは算術論理ユニットである。

これらのマイクロプロセッサCPUの構成は、公知であるので、その詳細な説明を省略する。

記号I/Oで示されているのは、入出力ポートであり、その内部にデータ伝送双方向レジスタを含んでいる。また、記号Iで示されているのは、入力専用ポートである。

記号OSCで示されているのは、発振回路であり、特に制限されないが、外付される水晶振動子Xtalを利用して高精度の基準周波数信号を形成する。この基準周波数信号により、マイクロプロセッサCPUにおいて必要とされるクロックバルスが形成される。また、上記基準周波数信号は、タイマーの基準時間バルスとしても用いられる。このタイマーは、カウンタCOUNT、プリスケーラPR及びコントローラCONTとによって構

成される。

比較回路CMPは、データバス上に読み出された上記ROMの内容と、外部端子から供給された入力信号を比較して、その一致／不一致を判定して、その結果を外部端子へTOへ出力させる。この場合、機密保持性を高くするため、上記外部端子TOへ送出される判定結果は、複数回の比較動作に1回の割合で出力される。なお、上記比較回路CMPは、テストモードとされたとき、動作状態にされ、このとき動作状態にされるいずれかの入出力ポートI/O又は入力専用ポートIから供給された入力信号（期待値）との一致／不一致の判定を行う。

第2図には、比較回路CMPの一実施例の回路図が示されている。

特に制限されないが、テストモードにされると、人力専用ポートIが自動的に動作状態にされ、反転のクロック信号 \bar{C}_k に同期して外部端子Dinから供給された信号が、データバスBUSに伝えられる。同様では、入力専用ポートIを構成する1つの入力回路が例示的に示されている。特に制限さ

れないが、8ビットのシングルチップマイクロコンピュータにあっては、上記入力回路が8個から構成され、8ビットの入力信号が8本のデータバス上に供給される。

上記データバスBUS上に供給された8ビットの入力信号は、上記同じ反転のクロック信号 \bar{t} に同期して、その入力信号の取り込みを行うフリップフロップ回路F2に保持される。このフリップフロップ回路F2も8個のフリップフロップ回路から構成される。

ROMは、非反転のクロック信号 t に同期して読み出される。すなわち、ROMの読み出し信号は、上記クロック信号 t により動作状態にされる出力回路D0を介して、データバスBUSに出力される。上記出力回路D0も8個からなり、ROMから読み出された8ビットからなる読み出し信号をデータバス上BUSに出力させる。

上記データバスBUS上に供給された8ビットの読み出し信号は、上記同じ非反転のクロック信号 t に同期して、その入力信号の取り込みを行う

フリップフロップ回路F1に保持される。このフリップフロップ回路F1も8個のフリップフロップ回路から構成される。

上記フリップフロップ回路F1とF2に取り込まれた信号は、ディジタルコンバーティDCに供給される。このディジタルコンバーティDCは、8組の排他的論理回路（一致／不一致回路）と、その出力を受けるアンド（AND）ゲート回路等の論理積回路から構成される。

この実施例では、特に制限されないが、最密保持をより確実にするため、上記ディジタルコンバーティDCの出力信号は、そのまま外部端子へ送出されるだけでなく、次の出力制御回路を介して出力される。すなわち、上記ディジタルコンバーティDCの出力信号は、アンFゲート回路G1を介してマスターフリップフロップ回路F3の入力端子Dに供給される。このフリップフロップ回路F3の出力信号Qは、スレーブフリップフロップ回路F4の入力端子Dに供給される。上記マスター・フリップフロップ回路F3は、非反転のクロック

信号 t により、その入力信号の取り込みを行い、スレーブフリップフロップ回路F4は、反転のクロック信号 \bar{t} により、その入力信号の取り込みを行う。上記フリップフロップ回路F3とF4は、そのセット端子Sにテストモードに先立って供給されるリセット信号RESによってセット状態にされる。

上記スレーブフリップフロップ回路F4の出力信号は、一方において上記アンドゲート回路G1の制御信号として用いられ、他方においてアンドゲート回路G2を介してテスト結果TOとして外部端子へ出力される。上記アンドゲート回路G2の他方の入力には、特に制限されないが、4ビットのアドレス信号 $a_0 \sim a_3$ を受けるアンドゲート回路G3の出力信号OCが供給される。この出力信号OCは、ROMへの16回のアクセスに対して1回の割合で論理“1”にされるから、これに応じて16回のテストサイクルに1回の割合で上記テスト結果TOを出力させるものとなる。

上記比較回路CMPの動作の一例を第3図のタ

イミング図を参照して、次に説明する。

テスト動作に先立って、リセット信号RESのハイレベルの期間に上記マスター及びスレーブフリップフロップ回路F3及びF4をセット状態にさせる。これにより、マスターフリップフロップ回路F3の入力に設けられたアンドゲート回路G1は、そのゲートが開いた状態にされる。そして、クロック信号 t のロウレベル（クロック信号 t のハイレベル）に同期して、次に読み出されるROMの記憶情報に対応した期待値D0を入力専用ポート1を介してデータバスBUSに供給する。この信号D0は、フリップフロップ回路2に保持される。次に、クロック信号 t のハイレベルに同期して、ROMの記憶情報R0がデータバスBUSに出力される。この読み出し信号R0は、上記クロック信号 t に同期して、フリップフロップ回路F1に取り込まれる。上記フリップフロップ回路F1の信号R0と期待値D0とのディジタル比較出力は、アンドゲート回路G1を介してマスター・フリップフロップ回路F3の入力端子に伝えられ

ており、クロック信号のハイレベルに同期して、その取り込みが行われる。もしも、両者D0とR0とが一致ならば、マスター・フリップフロップ回路F3の出力信号は同図に実線で示すようにハイレベル（論理“1”）のままにされる。また、両者D0とR0とが不一致ならば、マスター・フリップフロップ回路F3の出力信号は同図に点線で示すようにロウレベル（論理“0”）に反転される。上記マスター・フリップフロップ回路F3の出力信号は、クロック信号のロウレベルに同期して、スレーブ・フリップフロップ回路F4に伝えられる。上記のように、スレーブ・フリップフロップ回路F4に不一致信号（論理“0”）が伝えられると、アンドゲート回路G1を閉じて、以後のデジタルニンバーレータの出力の入力を禁止するものである。なお、上記クロック信号のロウレベルにより、次の期待値D1の入力が行われる。以下、同様な動作の繰り返しによって、間接的なROMの読み出し動作、言い換えるならば、期待値との比較判定出力により、テスティングを行うことができる。

の第三者による解説を実質的に不可能にできるという効果が得られる。ちなみに、前記実施例のように8ビットの期待値に対する判定結果を16回に1回の割合で出力させる場合、2の（8乗×16乗）と膨大な数となる。

(4)ヒューズ手段等によってROM等の外部端子への出力機能を一切禁止してしまうものに比べ、期待値を知る限りいつでもその内容のテスティングを行うことができるから、市場での不良解析やメンテナンスにおいて極めて便利なものとなる。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、この発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、内蔵のROMは、電気的に書き込みが行われる各種プログラマブルROMを用いるものであってもよい。また、テストモードにするための手順を非公開とし、或いはテストモードにするために、キーワードを必要とするようにするものであってもよい。このようにすることによっ

きる。

この実施例では、上記のように比較判定出力信号しか送出させないから、ROMの内容を知らない第三者によるROMの解説が不可能となる。

(効 果)

(1)外部端子から期待値を供給して、その比較判定結果のみを出力させることにより、ROMの記憶情報の間接的な読み出しが行える。これにより、ROMの内容を知るもののみが、そのテストを行うことができるという効果が得られる。

(2)外部端子から期待値を供給して、ROM等の機密保持を行うべき記憶情報が格納された記憶回路の記憶内容との比較判定出力しか出力させないから、上記記憶回路の記憶内容を知らない第三者による記憶内容の解説が実質的に不可能にできるという効果が得られる。

(3)上記複数回の比較判定出力を出力させることによって、どの期待値が誤りであるかが不明となるため、その誤りに膨大な組み合わせからなる期待値の発生が必要になり、上記記憶内容

で、機密保持のいっそうの強化を図ることができる。また、1チップマイクロコンピュータのシステム構成は種々の実施例形態を探ることができるものであり、機密強化のためにA/D変換器等の付加回路を内蔵させるものであってもよい。

(利用分野)

この発明は、1チップマイクロコンピュータ、各種ゲーム、いわゆるICカード等のようにマイクロコンピュータ機能を持つ各種半導体集積回路装置に広く利用できるものである。

図面の簡単な説明

第1図は、この発明の一実施例を示す1チップマイクロコンピュータのブロック図。

第2図は、その比較回路の一実施例を示す回路図。

第3図は、そのテスト動作を説明するためのタイミング図である。

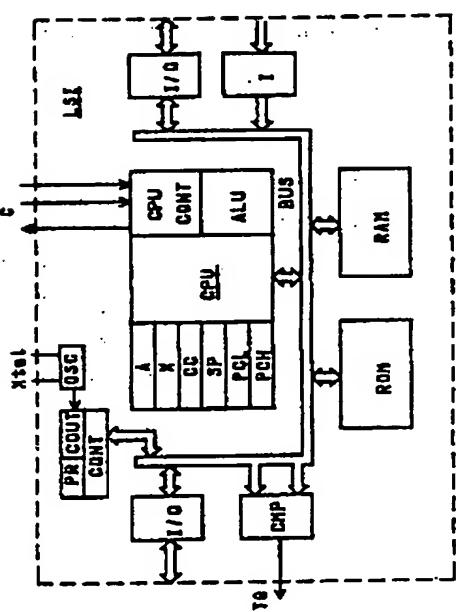
CPU…マイクロプロセッサ、CPU-CO NT…CPUコントローラ、ALU…算術論理ユニット、A…アキュムレータ、X…イン

デックスレジスタ、CC…コンディションコード
ドレジスタ、SP…スタックポインタ、PCH,
PCL…プログラムカウンタ、RAM…ラン
ダム・アクセス・メモリ、ROM…リード・オ
ンリー・メモリ、I/O…入出力ポート、I
・入力専用ポート、OSC…発振回路、COU
NT…カウント、CONT…コントローラ、
PR…プリスケーラ、BUS…バス、CMP
…比較回路、DC…デジタルコンパレータ、
F1～F4…フリップフロップ回路、G1～G
3…アンドゲート回路

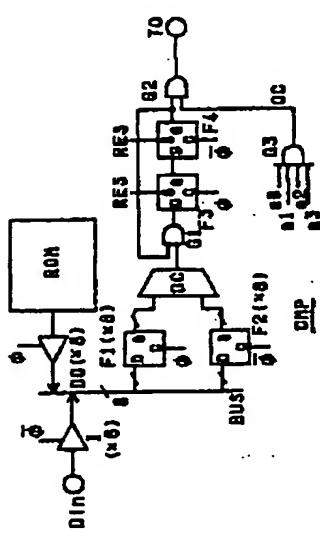
代理人弁理士 小川 駿男



第1図



第2図



第3図

